

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007304
 (43)Date of publication of application : 10.01.1997

(51)Int.CI. G11B 20/10

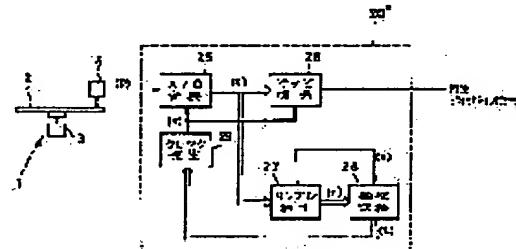
(21)Application number : 07-148909	(71)Applicant : PIONEER ELECTRON CORP
(22)Date of filing : 15.06.1995	(72)Inventor : HAYASHI HIDEKI UMEZAWA MASARU KOBAYASHI HIDEKI

(54) DIGITAL SIGNAL REPRODUCER

(57)Abstract:

PURPOSE: To reproduce a digital signal by a clock accurately synchronizing the phase of a reading signal by generating a sampling clock based on a sample value.

CONSTITUTION: A sample value is extracted 27 near a zero level from a sample value (q) system obtained by sampling a reading signal (p). When the level of the sample value tends to rise, a sampling clock (v) is generated 29 corrected in phase from one of an extraction sample value (r) and an inverted extraction sample value (t) with the polarity thereof inverted 28. When the level of the sample value tends to lower, the sampling clock (v) is generated as corrected in phase from the other of the extraction sample value (r) and the inverted extraction sample value (t).



LEGAL STATUS

- [Date of request for examination] 29.10.2001
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-7304

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl.
G 11 B 20/10識別記号
351府内整理番号
9463-5DF I
G 11 B 20/10技術表示箇所
351Z

審査請求 未請求 請求項の数4 O.L (全9頁)

(21)出願番号 特願平7-148909

(22)出願日 平成7年(1995)6月15日

(71)出願人 000005016
 バイオニア株式会社
 東京都目黒区目黒1丁目4番1号

(72)発明者 林 英樹
 埼玉県鶴ヶ島市富士見6丁目1番1号バイ
 オニア株式会社総合研究所内

(72)発明者 梅澤 勝
 埼玉県鶴ヶ島市富士見6丁目1番1号バイ
 オニア株式会社総合研究所内

(72)発明者 小林 秀樹
 埼玉県鶴ヶ島市富士見6丁目1番1号バイ
 オニア株式会社総合研究所内

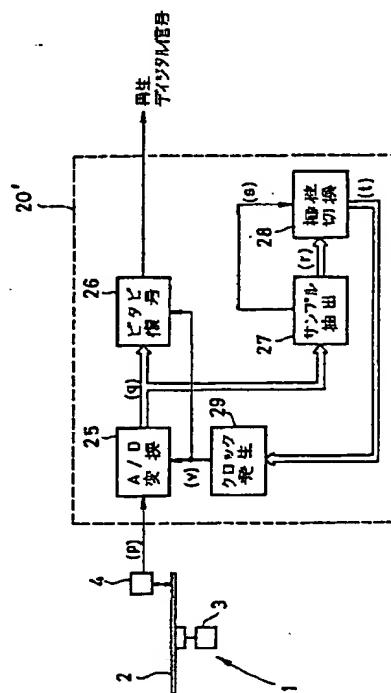
(74)代理人 弁理士 藤村 元彦

(54)【発明の名称】 デジタル信号再生装置

(57)【要約】

【目的】 読取信号の位相に精度良く同期したサンプリングクロックにてデジタル信号の再生が可能なデジタル信号再生装置を提供することを目的とする。

【構成】 読取信号をサンプリングして得られたサンプル値系列中からゼロレベル近傍のサンプル値を抽出し、かかるサンプル値系列のサンプル値レベルが上昇傾向にある場合には上記抽出サンプル値及びこの抽出サンプル値の極性を反転させた反転抽出サンプル値の内の一方に基づいて位相補正したサンプリングクロックを発生し、かかるサンプル値系列のサンプル値レベルが下降傾向にある場合には上記抽出サンプル値及び上記反転抽出サンプル値の内の他方に基づいて位相補正したサンプリングクロックを発生する。



【特許請求の範囲】

【請求項1】 ディジタル信号が記録されている記録媒体から読み取られた読み取信号からディジタル信号を再生するディジタル信号再生装置であつて、前記読み取信号をサンプリングクロックにて順次サンプリングしてサンプル値系列を得るA/D変換器と、前記サンプル値系列から前記ディジタル信号の復号を行いこれを再生ディジタル信号として出力する復号手段と、前記サンプル値系列中の各サンプル値の中からゼロレベル近傍のサンプル値を抽出してこれを抽出サンプル値として得るサンプル抽出手段と、前記サンプル値系列のサンプル値レベルが上昇傾向にある場合には、前記抽出サンプル値及び前記抽出サンプル値の極性を反転させた反転抽出サンプル値の内的一方を位相誤差信号とし、前記サンプル値系列のサンプル値レベルが下降傾向にある場合には前記抽出サンプル値及び前記反転抽出サンプル値の内の方を前記位相誤差信号とする極性切換手段と、前記位相誤差信号に基づいて位相補正したクロック信号を前記サンプリングクロックとして発生するクロック発生手段とを有することを特徴とするディジタル信号再生装置。

【請求項2】 前記サンプル抽出手段は、前記サンプル値系列中の各サンプル値が負から正、または正から負へと推移するゼロクロス区間を検出するゼロクロス検出手段を備え、前記ゼロクロス区間ににおいて最もゼロレベルに近い値のサンプル値を前記サンプル値系列中から抽出してこれを前記抽出サンプル値とすることを特徴とする請求項1記載のディジタル信号再生装置。

【請求項3】 前記サンプル抽出手段は、前記サンプル値系列の隣接する2サンプル間の平均値を逐次求めて平均サンプル値系列を得る手段を備え、前記サンプル値系列の中から、前記平均サンプル値系列中の各平均サンプル値が負から正、または正から負へと推移するゼロクロス区間に存在するサンプル値を抽出してこれを前記抽出サンプル値とすることを特徴とする請求項1記載のディジタル信号再生装置。

【請求項4】 前記復号手段は、ビタビ復号であることとを特徴とする請求項1記載のディジタル信号再生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、記録媒体に記録されているディジタル信号の再生装置に関する。

【0002】

【従来の技術】 記録情報の大容量化にともない、記録情報の高密度記録化が行われている。しかしながら、上述の如く高密度記録された記録媒体から記録情報の再生を行うと、得られた再生信号は波形干渉を大きく受けたものとなり、この再生信号の復号の際に誤り率が高くなる。

【0003】 そこで、上述の如き波形干渉を受けた再生信号に対してビタビ復号を行い、復号の際の誤り率を低減することが提案されている。図1は、かかるビタビ復号器を備えたディジタル信号再生装置20の構成を示す図である。図1において、情報読み取装置1は、ディジタル情報信号が高密度記録されている記録ディスク2を回転駆動せしめる回転駆動部3と、かかる記録ディスク2に記録されている記録情報を読み取って得られた読み取信号をディジタル信号再生装置20に供給するピックアップ4とからなる。

【0004】 イコライザ21は、かかる情報読み取装置1から供給された読み取信号をクロック信号に適した等化特性にて増幅するとともにノイズの除去を行って得られた信号をパルス化回路23に供給する。パルス化回路23は、供給された信号の信号レベルと、所定基準電圧との比較結果に基づいて、この供給された信号をパルス化して、この際得られたパルス信号をクロック発生回路24に供給する。クロック発生回路24は、供給されたパルス信号に位相同期したクロック信号を発生して、これをサンプリングクロック信号としてA/D変換器25に供給する。イコライザ22は、上記読み取信号をデータ判別に適した等化特性にて増幅するとともにノイズの除去を行い、得られた信号をA/D変換器25に供給する。A/D変換器25は、供給されたサンプリングクロック信号のタイミングにて、イコライザ22から供給された信号をサンプリングして得られたサンプル値をビタビ復号器26に供給する。ビタビ復号器26は、供給されたサンプル値を系列として観測し、入力サンプル値系列に対して最も存在確率の高い2値の復号データ系列を再生デジタル信号として出力する。

【0005】 以上の如く、かかるディジタル信号再生装置においては、データ信号系及びクロック信号生成系に夫々専用の波形等化用のイコライザ21及び22が必要となる。又、イコライザ21、パルス化回路23及びクロック発生回路24からなるクロック信号生成系の遅延と、データ信号系であるイコライザ22との遅延は必ずしも同一とはならない。よって、精度良く読み取信号の位相に同期したサンプリングクロック信号を得るために、データ信号系及びクロック信号生成系の遅延を同一遅延とする遅延調整回路が必要となる。

【0006】 しかしながら、温度変化等の要因により各回路の遅延が変化した場合は、上述の如き遅延調整回路では遅延調整の対応が出来ないため、読み取信号の位相に同期したサンプリングクロック信号を得ることが出来なくなるという問題があった。

【0007】

【発明が解決しようとする課題】 本発明は、かかる問題を解決すべくなされたものであり、読み取信号の位相に精度良く同期したサンプリングクロックにてディジタル信

号の再生が可能なデジタル信号再生装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明によるデジタル信号再生装置は、デジタル信号が記録されている記録媒体から読み取られた読み取信号からデジタル信号を再生するデジタル信号再生装置であって、前記読み取信号をサンプリングクロックにて順次サンプリングしてサンプル値系列を得るA/D変換器と、前記サンプル値系列から前記デジタル信号の復号を行なうこれを再生デジタル信号として出力する復号手段と、前記サンプル値系列中の各サンプル値の中からゼロレベル近傍のサンプル値を抽出してこれを抽出サンプル値として得るサンプル抽出手段と、前記サンプル値系列のサンプル値レベルが上昇傾向にある場合には、前記抽出サンプル値及び前記抽出サンプル値の極性を反転させた反転抽出サンプル値の内の方を位相誤差信号とし、前記サンプル値系列のサンプル値レベルが下降傾向にある場合には前記抽出サンプル値及び前記反転抽出サンプル値の内の方を前記位相誤差信号とする極性切換手段と、前記位相誤差信号に基づいて位相補正したクロック信号を前記サンプリングクロックとして発生するクロック発生手段とを有する。

【0009】

【作用】読み取信号をサンプリングして得られたサンプル値系列中からゼロレベル近傍のサンプル値を抽出して、かかるサンプル値系列のサンプル値レベルが上昇傾向にある場合には、上記抽出サンプル値及びこの抽出サンプル値の極性を反転させた反転抽出サンプル値の内の方に基づいて位相補正したサンプリングクロックを発生し、かかるサンプル値系列のサンプル値レベルが下降傾向にある場合には上記抽出サンプル値及び上記反転抽出サンプル値の内の方に基づいて位相補正したサンプリングクロックを発生する。

【0010】

【実施例】以下、本発明の実施例について説明する。図2は、本発明によるデジタル信号再生装置20'の構成を示す図である。かかる図2において、情報読み取装置1は、デジタル情報信号が高密度記録されている記録ディスク2を回転駆動せしめる回転駆動部3と、かかる記録ディスク2に記録されている記録情報を読み取って得られた読み取信号(p)をデジタル信号再生装置20'に供給するピックアップ4とからなる。

【0011】かかる情報読み取装置1から供給された読み取信号(p)は、デジタル信号再生装置20'のA/D変換器25に供給される。A/D変換器25は、この読み取信号(p)を、クロック発生回路29から供給されるサンプリングクロック(v)のタイミングにてサンプリングして、この際得られたサンプル値(q)をビタビ復号器26、及びサンプル値抽出回路27の各々に供給する。

【0012】ビタビ復号器26は、上記のサンプリングクロック(v)のタイミング毎にサンプル値(q)を順次取り込み、この取り込んだサンプル値(q)を系列として観測する。ここで、ビタビ復号器26は、かかる入力サンプル値系列に対して最も存在確率の高い復号データ系列を再生デジタル信号として出力する。サンプル値抽出回路27は、上記サンプリングクロック(v)のタイミング毎にA/D変換器25から供給されてくるサンプル値(q)が正の値から負の値、または負の値から正の値へと推移するゼロクロス区間中において、そのサンプル値(q)の値が最も0レベルに近いサンプル値を抽出し、これを抽出サンプル値(r)として極性切換回路28に供給する。

【0013】更に、かかるサンプル値抽出回路27は、この抽出サンプル値(r)を、サンプル値(q)の推移変化の上昇傾向中に得たものであるのか、または、下降傾向中に得たものであるのかを示す傾斜信号(s)を生成してこれを極性切換回路28に供給する。図3は、かかるサンプル値抽出回路27の内部構成の一例を示す図である。

【0014】図3において、絶対値回路31は、供給されてくるサンプル値(q)の絶対値を求めてこれをサンプル絶対値としてDフリップフロップ32及び比較器33の各々に供給する。かかるDフリップフロップ32には、図示していないが、サンプリングクロック(v)がそのクロック端に供給されており、上記絶対値回路31から供給されてくるサンプル絶対値を1サンプリングクロック分だけ遅延させて比較器33に供給する。

【0015】比較器33は、かかる絶対値回路31から供給されてくるサンプル絶対値と、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値との大小比較を行い、この大小比較結果を示す比較結果信号を選択回路34に供給する。例えば、比較器33は、絶対値回路31から供給されてくるサンプル絶対値が、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値よりも大であると判定した場合には論理値「0」の比較結果信号を選択回路34に供給する一方、絶対値回路31から供給されてくるサンプル絶対値が、1サンプリングクロック分だけ遅延されて供給されてくるサンプル絶対値よりも小であると判定した場合には論理値「1」の比較結果信号を選択回路34に供給する。Dフリップフロップ35は、図示していないが、サンプリングクロック(v)がそのクロック端に供給されており、上記A/D変換器25から供給されてくるサンプル値(q)を1サンプリングクロック分だけ遅延した遅延サンプル値を選択回路34に供給する。

【0016】選択回路34は、上記比較器33から論理値「0」の比較結果信号が供給された場合には、上記Dフリップフロップ35により1サンプリングクロック分だけ遅延された遅延サンプル値をDフリップフロップ3

6に供給する一方、上記比較器33から論理値「1」の比較結果信号が供給された場合には、上記A/D変換器25から供給されてくるサンプル値(q)をそのままDフリップフロップ36に供給する。

【0017】すなわち、上記比較器33及び選択回路34は、上記A/D変換器25から順次供給されてくるサンプル値系列中から、互いに隣接(サンプリングタイミングにおいて)する2つのサンプル値(q)同士の大小比較を行い、その絶対値の小なる方を選択してDフリップフロップ36に供給するのである。排他的論理回路37は、サンプル値(q)のMSB(最上位ビット)の論理値と、上記ロフリップフロップ35にて1サンプリングクロック分だけ遅延された遅延サンプル値のMSBの論理値とが不一致である場合には、論理値「1」のイネーブル信号をDフリップフロップ36及び38の各々に供給する一方、両者が同一論理値である場合には、論理値「0」のイネーブル信号をDフリップフロップ36及び38の各々に供給する。この際、サンプル値(q)がオフセットバイナリにて2進数表現されているものとすると、サンプル値(q)のMSBが論理値「0」である場合には、かかるサンプル値(q)は負の値であり、一方、かかるMSBが論理値「1」である場合には、このサンプル値(q)は正の値である。つまり、サンプル値(q)のMSBの論理値と、Dフリップフロップ35にて1サンプリングクロック分だけ遅延された遅延サンプル値のMSBの論理値とが不一致であるということは、サンプル値(q)が正の値から負の値、または負の値から正の値へと推移している状態、いわゆるゼロクロス状態にあることを示しているのである。すなわち、排他的論理回路37は、かかるゼロクロス状態を検出した場合に、論理値「1」のイネーブル信号をDフリップフロップ36及び38の各々に供給するというゼロクロス検出手段として動作するのである。

【0018】かかるDフリップフロップ36は、上記排他的論理回路37から論理値「1」のイネーブル信号が供給された時にのみ、上記選択回路34から供給されたサンプル値を取り込んでこれを抽出サンプル値(r)として出力する。一方、Dフリップフロップ38は、上記排他的論理回路37から論理値「1」のイネーブル信号が供給された時にのみ、上記Dフリップフロップ35から供給された遅延サンプル値のMSBを取り込んでこれを傾斜信号(s)として出力する。この際、サンプル値(q)が正の値から負の値へと推移している場合、すなわち、サンプル値(q)の推移変化が下降傾向にある場合には、かかる傾斜信号(s)の信号論理値は「1」となる一方、サンプル値(q)が負の値から正の値へと推移している場合、すなわち、サンプル値(q)の推移変化が上昇傾向にある場合には、かかる傾斜信号(s)の信号論理値は「0」となる。

【0019】次に、図2における極性切換回路28は、

かかる傾斜信号(s)の信号論理値が「0」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値(r)をそのまま位相誤差信号(t)としてクロック発生回路29に供給する一方、かかる傾斜信号(s)の信号論理値が「1」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値(r)の極性を反転した反転抽出サンプル値を位相誤差信号(t)としてクロック発生回路29に供給する。

【0020】図4は、かかる極性切換回路28の内部構成の一例を示す図である。図4において、極性反転回路41は、上記サンプル値抽出回路27から供給された抽出サンプル値(r)の極性を反転させて選択回路42に供給する。かかる極性反転回路41は、例えば、抽出サンプル値(r)の全ビットの論理を反転させたものに「1」を加算することにより、抽出サンプル値(r)の極性を反転させる。選択回路42は、上記サンプル値抽出回路27から供給された傾斜信号(s)の信号論理値が「0」である場合には、上記サンプル値抽出回路27から供給された抽出サンプル値(r)を選択してこれを位相誤差信号(t)として出力する一方、かかる傾斜信号(s)の信号論理値が「1」である場合には、上記極性反転回路41によって極性反転されたサンプル値を選択してこれを位相誤差信号(t)として出力する。

【0021】すなわち、かかる極性切換回路28は、サンプル値(q)の推移変化が上昇傾向にある場合には、抽出サンプル値(r)をそのまま位相誤差信号(t)としてクロック発生回路29に供給する一方、サンプル値(q)の推移変化が下降傾向にある場合には、抽出サンプル値(r)の極性を反転した反転抽出サンプル値を位相誤差信号(t)としてクロック発生回路29に供給するのである。

【0022】クロック発生回路29は、かかる位相誤差信号(t)に基づいて位相補正したサンプリングクロック(v)を発生してこれを上記A/D変換器25、及びビタビ復号器26の各々に供給する。図5は、かかるクロック発生回路29の内部構成を示す図である。図5において、D/A変換器51は、かかる位相誤差信号(t)をアナログ電圧に変換してLPF(ローパスフィルタ)52に供給する。LPF52は、供給されたアナログ電圧を平均化してVCO(電圧制御発振器)53に供給する。VCO53は、LPF52から供給された平均アナログ電圧に応じた発振周波数を有するサンプリングクロック(v)を出力する。

【0023】図6は、上述した如き図2～図5にて示されるディジタル信号再生装置20'による動作の一例を示す図である。かかる図6において、読取信号(p)は、サンプリングクロック(v)のタイミング毎にA/D変換されてサンプル値q₁～q₁₂なる系列となる。まず、かかるサンプル値q₁～q₁₂なる系列においては、サンプル値q₂からq₃の推移においてそのサンプル値が

負の値から正の値へと変化している。この際、サンプル値 q_2 の絶対値とサンプル値 q_3 の絶対値とではサンプル値 q_2 の絶対値の方が小、すなわち、サンプル値 q_2 の方が 0 レベルに近いので、サンプル値抽出回路 27 は、このサンプル値 q_2 を抽出サンプル値 (r) として出力する。更に、かかるサンプル値 q_2 から q_3 への推移が上昇傾向にあるので、サンプル値抽出回路 27 は、傾斜信号 (s) の信号論理値を「0」にする。この際、極性切換回路 28 は、かかる傾斜信号 (s) の信号論理値が「0」であるので、上記抽出サンプル値 (r) としてのサンプル値 q_2 をそのまま位相誤差信号 (t) として、クロック発生回路 29 に供給する。

【0024】次に、サンプル値 q_8 から q_9 の推移においてそのサンプル値が正の値から負の値へと変化している。この際、サンプル値 q_8 の絶対値とサンプル値 q_9 の絶対値とではサンプル値 q_8 の絶対値の方が小、すなわち、サンプル値 q_8 の方が 0 レベルに近いので、サンプル値抽出回路 27 は、このサンプル値 q_8 を抽出サンプル値 (r) として出力する。更に、かかるサンプル値 q_8 から q_9 への推移が下降傾向にあるので、サンプル値抽出回路 27 は、傾斜信号 (s) の信号論理値を「1」にする。この際、極性切換回路 28 は、かかる傾斜信号 (s) の信号論理値が「1」であるので、上記抽出サンプル値 (r) としてのサンプル値 q_8 の極性を反転したものを位相誤差信号 (t) として、クロック発生回路 29 に供給する。

【0025】この際、クロック発生回路 29 は、上記サンプル値 q_2 及びサンプル値 ($-q_8$) に基づいて位相補正したサンプリングクロック (v) を発生するのである。次に、かかる位相誤差信号 (t) によるサンプリングクロック (v) の位相補正動作を図 7 を参照しつつ説明する。この際、図 7 (a) ~ (c) において、上記図 6 にて示されるが如き上昇傾向を示す 3 つの連続したサンプル値 q_1 ~ q_3 に応じて為される位相補正動作を示す。又、図 7 (d) ~ (f) においては、上記図 6 にて示されるが如き下降傾向を示す 3 つの連続したサンプル値 q_7 ~ q_9 に応じて為される位相補正動作を示すものである。尚、かかる図 7 中の破線は、正常位相時においてクロック発生回路 29 が発生するサンプリングクロック (v) のタイミング位置を示すものである。又、図中の一点鎖線はサンプル値のゼロレベルを示すものである。

【0026】先ず、図 7 (a) においては、サンプル値 q_1 ~ q_3 各々が正常なタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_2 は、かかるゼロレベルと等しくなる。よって、クロック発生回路 29 には、位相誤差信号 (t) としてこのゼロレベルが供給されることになる。従って、この際、クロック発生回路 29 は現状の位相にてサンプリングクロック (v) の発生を行う。

【0027】次に、図 7 (b) においては、サンプル値

q_1 ~ q_3 各々が正常な位置よりも早いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_2 は、上記ゼロレベルよりも小なる負の値となる。よって、クロック発生回路 29 には、位相誤差信号 (t) としてこのゼロレベルよりもサンプル値 q_2 の分だけ少ない負の値が供給されることになる。従って、この際、クロック発生回路 29 は、サンプル値 q_2 に対応した分だけ位相を遅らせたサンプリングクロック (v) の発生を行ってクロックの位相進みを補正するのである。

【0028】次に、図 7 (c) においては、サンプル値 q_1 ~ q_3 各々が正常な位置よりも遅いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_2 は、上記ゼロレベルよりも大なる正の値となる。よって、クロック発生回路 29 には、位相誤差信号 (t) としてこのゼロレベルよりもサンプル値 q_2 の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路 29 は、サンプル値 q_2 に対応した分だけ位相を進ませたサンプリングクロック (v) の発生を行ってクロックの位相遅れを補正するのである。

【0029】次に、図 7 (d) においては、サンプル値 q_7 ~ q_9 各々が正常なタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_8 は、一点鎖線で示されるゼロレベルと等しくなる。ここで、サンプル値 q_7 ~ q_9 なる系列のレベル変化は下降傾向である。よって、クロック発生回路 29 には、位相誤差信号 (t) として、このゼロレベルの極性反転値、すなわち同じくゼロレベルが供給されることになる。従って、この際、クロック発生回路 29 は現状の位相にてサンプリングクロック (v) の発生を行うのである。

【0030】次に、図 7 (e) においては、サンプル値 q_7 ~ q_9 各々が正常な位置よりも早いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_8 は、上記ゼロレベルよりも大なる正の値となる。ここで、サンプル値 q_7 ~ q_9 なる系列のレベル変化は下降傾向である。よって、クロック発生回路 29 には、位相誤差信号 (t) として、このサンプル値 q_8 の極性を反転した信号、すなわち、上記ゼロレベルよりもサンプル値 q_8 の分だけ少ない負の値が供給されることになる。従って、この際、クロック発生回路 29 は、サンプル値 q_8 に応じた分だけ位相を遅らせたサンプリングクロック (v) の発生を行ってクロックの位相進みを補正るのである。

【0031】最後に、図 7 (f) においては、サンプル値 q_7 ~ q_9 各々が正常な位置よりも遅いタイミングでサンプリングされている場合を示すものである。この際、サンプル値 q_8 は上記ゼロレベルよりも小なる負の値となる。ここで、サンプル値 q_7 ~ q_9 なる系列のレベル変化は下降傾向である。よって、クロック発生回路 29 に

は、位相誤差信号 (t) として、このサンプル値 q_8 の極性を反転した信号、すなわち、上記ゼロレベルよりもサンプル値 q_8 の分だけ大なる正の値が供給されることになる。従って、この際、クロック発生回路 29 は、サンプル値 q_8 に応じた分だけ位相を進ませたサンプリングクロック (v) の発生を行ってクロックの位相遅れを補正するのである。

【0032】尚、上記極性切換回路 28においては、サンプル値系列のサンプル値レベルが上昇傾向にある場合には、サンプル値抽出回路 27 から供給された抽出サンプル値 (r) をそのまま位相誤差信号 (t) としてクロック発生回路 29 に供給する一方、かかるサンプル値系列のサンプル値レベルが下降傾向にある場合には、上記抽出サンプル値 (r) の極性を反転した反転抽出サンプル値を位相誤差信号 (t) としてクロック発生回路 29 に供給する構成としているが、この極性反転の条件は、クロック発生回路 29 の信号処理方法によって適宜設定されるものである。

【0033】例えば、クロック発生回路 29 の L P F 5 2 が入力信号の極性を反転させて出力するという反転積分回路を採用している場合には、極性切換回路 28 は、サンプル値系列のサンプル値レベルが上昇傾向にある時には抽出サンプル値 (r) の極性を反転した反転抽出サンプル値を位相誤差信号 (t) としてクロック発生回路 29 に供給する一方、下降傾向にある場合には、上記抽出サンプル値 (r) をそのまま位相誤差信号 (t) としてクロック発生回路 29 に供給するのである。

【0034】又、上記実施例図 3において、サンプル値抽出回路 27 の内部構成の一例を示したが、かかるサンプル値抽出回路 27 としては、図 8 に示されるが如き内部構成のものを採用しても良い。かかる図 8において、加算器 82 は、A/D 変換器 25 から供給されてくるサンプル値 (q) と、D フリップフロップ 81 によって 1 サンプリングクロック分だけ遅延された遅延サンプル値との加算を行う。かかる加算動作により加算器 82 は、図 9 に示されるが如く、隣接する 2 つのサンプル値 (q) 每に、その平均サンプル値 (u) を求める。尚、図 9においては、サンプル値 (q) を白丸、平均サンプル値 (u) を黒丸で示している。この際、かかる平均サンプル値 (u) の系列は、サンプル値 (q) の系列に対して直線補間を行ったものとなる。

【0035】排他的論理回路 37 は、上記平均サンプル値 (u) の MSB (最上位ビット)、及び D フリップフロップ 83 によって 1 サンプリングクロック分だけ遅延された平均サンプル値 (u) の MSB 各々の論理値が不一致である場合には、論理値「1」のイネーブル信号を D フリップフロップ 36 及び 38 の各々に供給する一方、両者が同一論理値である場合には、論理値「0」のイネーブル信号を D フリップフロップ 36 及び 38 の各々に供給する。この際、両者が不一致であるということ

は、上記平均サンプル値 (u) が正の値から負の値、または負の値から正の値へと推移している状態、いわゆるゼロクロス状態にあることを示しているのである。排他的論理回路 37 は、かかるゼロクロス状態を検出した場合に、論理値「1」のイネーブル信号を D フリップフロップ 36 及び 38 の各々に供給するというゼロクロス検出手段として動作するのである。

【0036】かかる D フリップフロップ 36 は、上記排他的論理回路 37 から論理値「1」のイネーブル信号が供給された時にのみ、上記 D フリップフロップ 81 から供給された遅延サンプル値を取り込んでこれを抽出サンプル値 (r) として出力する。一方、D フリップフロップ 38 は、上記排他的論理回路 37 から論理値「1」のイネーブル信号が供給された時にのみ、上記 D フリップフロップ 83 から供給された平均サンプル値 (u) の MSB を取り込んでこれを傾斜信号 (s) として出力する。この際、平均サンプル値 (u) が正の値から負の値へと推移している場合、すなわち、平均サンプル値 (u) の推移変化が下降傾向にある場合には、かかる傾斜信号 (s) の信号論理値は「1」となり、一方、かかる平均サンプル値 (u) が負の値から正の値へと推移している場合、すなわち、平均サンプル値 (u) の推移変化が上昇傾向にある場合には、かかる傾斜信号

(s) の信号論理値は「0」となる。

【0037】すなわち、かかる図 8 に示されるが如き構成のサンプル値抽出回路 27 においては、図 9 の黒丸にて示される平均サンプル値 (u) が正の値から負の値、または負の値から正の値へと推移するゼロクロス区間を検出し、この区間に存在するサンプル値 (q) を抽出サンプル値 (r) として出力する構成となっているのである。

【0038】

【発明の効果】以上の如く本発明によるデジタル信号再生装置は、読み取信号をサンプリングして得られたサンプル値系列中からゼロレベル近傍のサンプル値を抽出し、かかるサンプル値系列のサンプル値レベルが上昇傾向にある場合には上記抽出サンプル値及びこの抽出サンプル値の極性を反転させた反転抽出サンプル値の内の一方に基づいて位相補正したサンプリングクロックを発生し、かかるサンプル値系列のサンプル値レベルが下降傾向にある場合には上記抽出サンプル値及び上記反転抽出サンプル値の内の方に基づいて位相補正したサンプリングクロックを発生する構成としている。

【0039】かかる構成においては、A/D 変換後のサンプル値に基づいてサンプリングクロックを生成するので、このサンプル値がデータ復号にとって最適なタイミングとなるように位相補正されたサンプリングクロックを得ることができる。更に、このサンプリングクロックに同期したサンプル値に基づいてサンプリングクロックの位相補正をすることになるので、温度変化等による回

路遅延の影響により位相精度が悪化するという問題も解消される。

【0040】よって、本発明によるディジタル信号再生装置によれば、読み取信号の位相に精度良く同期したサンプリングクロックにてディジタル信号の再生が可能となり好ましいのである。

【図面の簡単な説明】

【図1】従来のディジタル信号再生装置の構成を示す図である。

【図2】本発明によるディジタル信号再生装置の構成を示す図である。

【図3】サンプル値抽出回路27の内部構成の一例を示す図である。

【図4】極性切換回路28の内部構成の一例を示す図である。

【図5】クロック発生回路29の内部構成の一例を示す図である。

【図6】本発明のディジタル信号再生装置による動作を表わす図。

【図7】位相誤差信号(t)によるサンプリングクロック(v)の位相補正動作を説明するための図である。

【図8】サンプル値抽出回路27の他の実施例による内部構成を示す図である。

【図9】サンプル値(q)及び平均サンプル値(u)の一例を示す図である。

【主要部分の符号の説明】

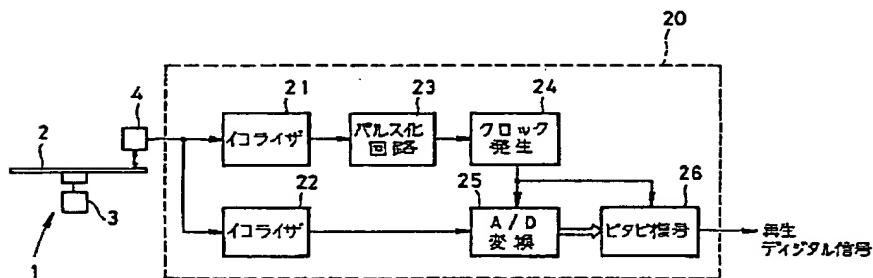
27 サンプル値抽出回路

28 極性切換回路

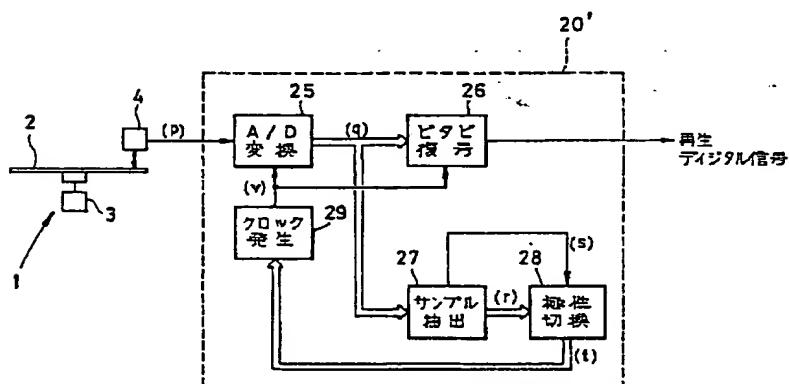
29 クロック発生回路

37 排他的論理和回路

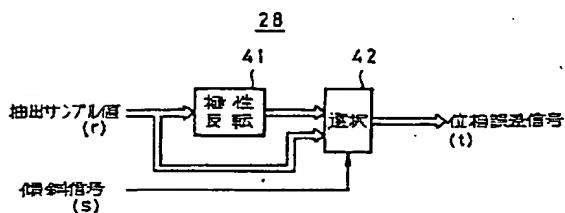
【図1】



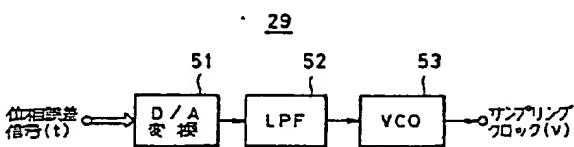
【図2】



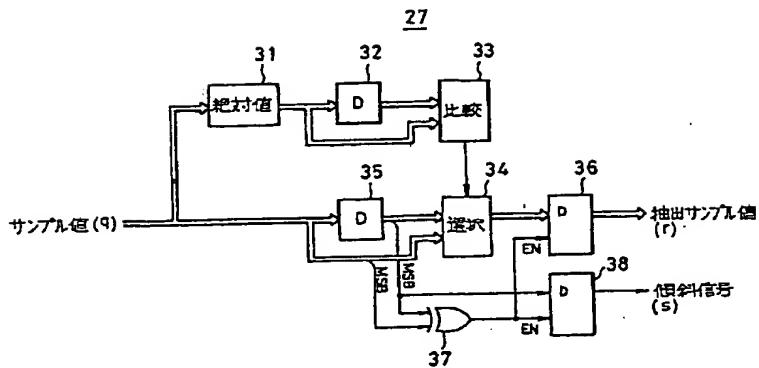
【図4】



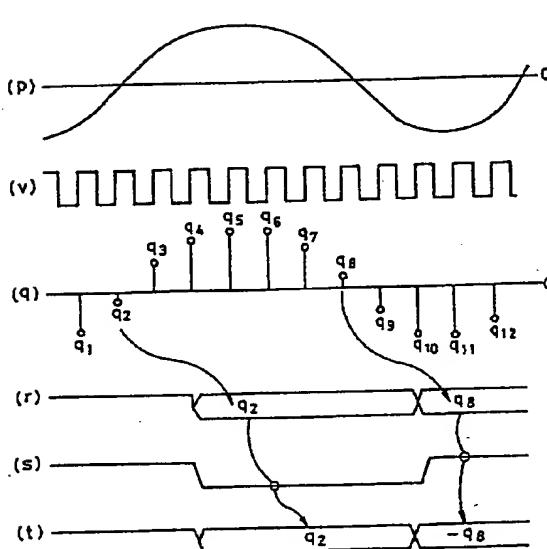
【図5】



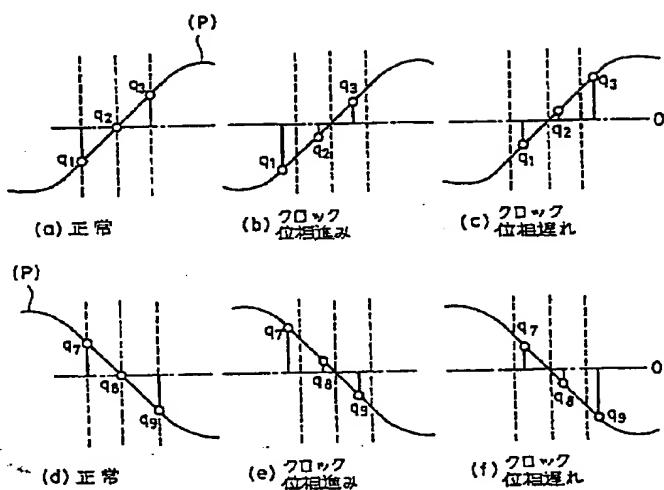
【図3】



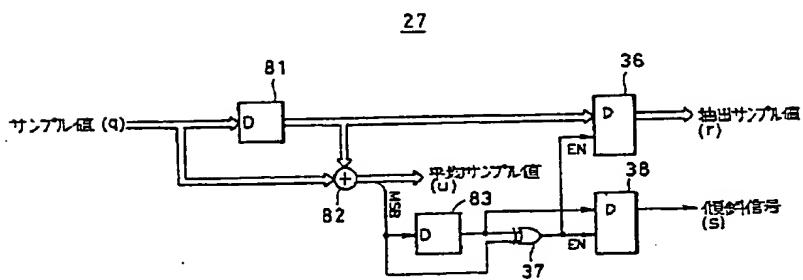
【図6】



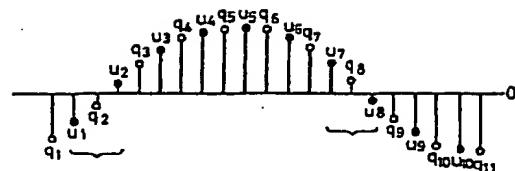
【図7】



【図8】



【図9】



THIS PAGE BLANK (USPTO)